

501P1049 US00

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JCS971 U.S. PTO  
09/911822  
07/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月26日

出 願 番 号

Application Number:

特願2000-224915

出 願 人

Applicant(s):

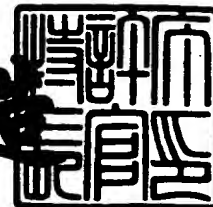
ソニー株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 5月18日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3041309

【書類名】 特許願

【整理番号】 9900999802

【提出日】 平成12年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/04

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 野村 青史

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 深見 正

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 後藤 勝

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 小泉 貴義

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック供給回路及びそのクロック生成方法

【特許請求の範囲】

【請求項 1】

所定の周期を持つ入力信号を処理するために、当該入力信号に同期したクロック信号を供給するクロック供給回路であって、

所定の基準周波数を持つ基準クロック信号を生成する発振手段と、

上記基準クロックを所定の通倍比で通倍した通倍クロック信号を生成する通倍手段と、

上記通倍クロック信号を分周し、上記入力信号にほぼ同期する中間クロック信号と、上記中間クロック信号より周波数が高い第 1 のクロック信号と、上記中間クロック信号より周波数が低い第 2 のクロック信号を生成する分周手段と、

上記中間クロック信号を処理用クロック信号として上記入力信号を処理し、処理結果に応じて、上記入力信号に対して上記中間クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記第 1 または第 2 のクロック信号の何れかを選択して上記処理用クロック信号として供給するクロック切り替え手段と

を有するクロック供給回路。

【請求項 2】

上記切り替え手段は、上記中間クロック信号と上記第 1 のクロック信号とを切り替えるとき、上記中間クロック信号と上記第 1 のクロック信号の位相が揃ったタイミングで切り替えを行い、

上記中間クロック信号と上記第 2 のクロック信号とを切り替えるとき、上記中間クロック信号と上記第 2 のクロック信号の位相が揃ったタイミングで切り替えを行う

請求項 1 記載のクロック供給回路。

【請求項 3】

所定の周期を持つ入力信号を処理するために、当該入力信号に同期したクロック信号の生成方法であって、

所定の基準周波数を持つ基準クロック信号を生成するステップと、

上記基準クロックを所定の通倍比で通倍した通倍クロック信号を生成するステップと、

上記通倍クロック信号を分周し、上記入力信号にほぼ同期する中間クロック信号と、上記中間クロック信号より周波数が高い第 1 のクロック信号と、上記中間クロック信号より周波数が低い第 2 のクロック信号を生成するステップと、

上記中間クロック信号を処理用クロック信号として上記入力信号を処理し、処理結果に応じて、上記入力信号に対して上記中間クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記第 1 または第 2 のクロック信号の何れかを選択して上記処理用クロック信号として供給するステップと

を有するクロック生成方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、デジタル放送信号の受信機において、放送信号に対する時間軸のオフセット量（同期ずれの量）に応じて受信回路に用いられる受信用クロック信号の周波数を切り替えることによって送信信号との同期を保つクロック供給回路及びそのクロック生成方法に関するものである。

【 0 0 0 2 】

【従来の技術】

デジタル放送信号を受信する受信機において、受信信号を OFDM 復調または誤り訂正復号処理にローカルクロック信号（受信用クロック信号）が用いられる。放送信号を正確に再生するために、ローカルクロック信号が放送信号に対して時間軸上同期を保つ必要がある。このため、例えば、従来の受信機においては、ローカルクロック信号を生成するクロック発振器に電圧制御発振器を用いて、時間軸上受信信号とローカルクロック信号とのオフセット量を検出し、オフセット量に応じて制御電圧を発生し、電圧制御発振器の発振周波数を制御することによって、ローカルクロック信号を放送信号との同期を保っていた。

【 0 0 0 3 】

## 【発明が解決しようとする課題】

ところで、上述した従来の受信機においては、同期を保つために電圧制御発振器を用いて、時間軸のオフセット量に応じてその発振周波数を制御しながら、ローカルクロック信号を発生する。電圧制御発振器は、例えば、VCXO (Voltage controlled crystal oscillator) など高価なものを用いるため、コストの増加を招き、さらに、オフセット量に応じて制御信号を生成してVCXOに出力するフィードバック制御を行うので、回路構成が複雑になり、回路規模が大きくなるという不利益がある。

## 【0004】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、デジタル放送の受信機において、固定の周波数を持つ発振器を用いて、基準クロックを生成し、基準クロックを逡倍した高周波の逡倍クロック信号をそれぞれ異なる分周比で分周し、同期ずれの量に応じて分周信号を切り替えて、受信用クロック信号を生成することで同期を保つことができ、回路規模を小さくでき、コストの低減を実現できるクロック供給回路及びそのクロック生成方法を提供することにある。

## 【0005】

## 【課題を解決するための手段】

上記目的を達成するため、本発明のクロック供給回路は、所定の周期を持つ入力信号を処理するために、当該入力信号に同期したクロック信号を供給するクロック供給回路であって、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、上記基準クロックを所定の逡倍比で逡倍した逡倍クロック信号を生成する逡倍手段と、上記逡倍クロック信号を分周し、上記入力信号にほぼ同期する中間クロック信号と、上記中間クロック信号より周波数が高い第1のクロック信号と、上記中間クロック信号より周波数が低い第2のクロック信号を生成する分周手段と、上記中間クロック信号を処理用クロック信号として上記入力信号を処理し、処理結果に応じて、上記入力信号に対して上記中間クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記第1または第2のクロック信号の何れかを選択して上記処理用クロック信号として供給するクロッ

ク切り替え手段とを有する。

【0006】

また、本発明では、好適には、上記切り替え手段は、上記中間クロック信号と上記第1のクロック信号とを切り替えるとき、上記中間クロック信号と上記第1のクロック信号の位相が揃ったタイミングで切り替えを行い、上記中間クロック信号と上記第2のクロック信号とを切り替えるとき、上記中間クロック信号と上記第2のクロック信号の位相が揃ったタイミングで切り替えを行う。

【0007】

さらに、本発明のクロック生成方法は、所定の周期を持つ入力信号を処理するために、当該入力信号に同期したクロック信号の生成方法であって、所定の基準周波数を持つ基準クロック信号を生成するステップと、上記基準クロックを所定の通倍比で通倍した通倍クロック信号を生成するステップと、上記通倍クロック信号を分周し、上記入力信号にほぼ同期する中間クロック信号と、上記中間クロック信号より周波数が高い第1のクロック信号と、上記中間クロック信号より周波数が低い第2のクロック信号を生成するステップと、上記中間クロック信号を処理用クロック信号として上記入力信号を処理し、処理結果に応じて、上記入力信号に対して上記中間クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記第1または第2のクロック信号の何れかを選択して上記処理用クロック信号として供給するステップとを有する。

【0008】

【発明の実施の形態】

図1は本発明に係るクロック供給回路を含む信号処理LSIの構成を示すブロック図である。この信号処理LSIは、例えば、デジタル音声放送（DAB：Digital Audio Broadcasting）の受信機に用いられる。

図示のように、信号処理LSIは、アナログ／デジタルコンバータ（A/D）10、DAFCブロック20、FFTブロック30、ビタビ復号（VITERBI）ブロック40、DSPブロック50、デジタル／アナログコンバータ（DAC）60、COLTブロック70、FCGブロック80、MIFブロック90、PIOブロック100及びテスト回路110によって構成されている。

## 【 0 0 0 9 】

なお、本発明に係るクロック供給回路は、FCGブロック80の内部に設けられ、FCGブロック80の一部を構成する。FCGブロック80は、外部発振器200によって供給される基準クロックRCKに応じて、DAFCブロック20、FFTブロック30及びビタビ復号ブロック40にクロック信号CK1を供給し、さらに、DSPブロック50にクロック信号CK2を供給する。理想的には、クロック信号CK1は、受信されたDABの放送信号と完全に同期し、またはクロック信号CK2は、DSPブロック50の処理負荷に応じて周波数が可変に制御される。本発明に係るクロック供給回路は、基準クロックRCKに応じて、クロック信号CK1を発生する部分である。

## 【 0 0 1 0 】

ディジタル音声放送において、音声情報はMPEGオーディオ規格に従って圧縮され、圧縮されたMPEGビットストリームに対して畳み込み符号化、時間インターリーブが施され、さらにOFDM変調方式で変調され、電波で送信される。なお、電波の伝搬経路におけるマルチパスの影響を抑制するために、放送側ではOFDM変調波に対して、時間軸上シンボルごとにガードインターバルが設けられ、ガードインターバルと有効シンボルからなる伝送シンボルで構成されるOFDM変調信号が実際に放送される。

## 【 0 0 1 1 】

受信側ではディジタル放送信号が受信アンテナによって受信され、受信信号から音声信号が復元される。例えば、図1に示すように、受信信号がまずフロントエンドに入力され、フロントエンドにおいて、受信信号に対して周波数変換及び増幅処理が行われ、中間周波信号 $S_{IF}$ が出力される。図1に示すLSIは、中間周波信号 $S_{IF}$ をディジタル化して、さらにフーリエ変換、ビタビ復号などの信号処理によって音声データを復元し、さらにMPEG復号処理で得られた音声データをディジタル／アナログ変換によって音声信号に再生する複数の機能を有する。

以下、各ブロックの機能について説明する。

## 【 0 0 1 2 】



A/Dコンバータ10は、フロントエンドから入力されるアナログ信号 $S_{IF}$ をデジタル信号に変換し、変換されたデータ $D_{in}$ をDAFCブロック20及びCOLTブロック70に出力する。

DAFCブロック20は、DIQ（直交分離）フィルタ、隣接妨害除去フィルタ及び周波数オフセット修正回路の三つの回路によって構成されている。DIQフィルタは、A/Dコンバータ10によってサンプルされたデータに対して、直交するI成分とQを分離する。隣接妨害除去フィルタは、DAB放送信号の占有する周波数帯域以外の信号成分を除去する。そして、周波数オフセット修正回路は、DSPブロック50によって算出したキャリア単位以下の周波数オフセットをゼロにするため、所定のアルゴリズムを採用して演算を行う。

#### 【0013】

FFTブロック30は、受信された各OFDMシンボルを復調するためのFFT処理を行う。なお、放送信号のモードによって、1シンボルの継続時間及びデータのポイント数が異なるため、FFTブロック30は、予め得られたモード情報などに従って、FFT変換のポイント数を定める。FFT変換によって得られたIデータとQデータがビタビ復号ブロック40に出力される。

#### 【0014】

ビタビ復号ブロック40は、FFTブロック30から送られてきたIデータとQデータに対して、周波数デインターリーブ、時間デインターリーブ及びビタビ復号などの処理を行い、フレーム単位でDAB信号を生成し、DSP50に出力する。

#### 【0015】

DSP50は、ビタビ復号ブロック40によって出力されるフレーム単位の音声信号をMPEGオーディオ信号のデコード方式でデコードし、PCM (Pulse Code Modulation) データを生成する。FFTブロック30及びビタビ復号ブロック40によって得られた信号は、MPEGオーディオデコード方式に従って圧縮され、符号化されたMPEGストリームである。このため、DSP50では、MPEGストリームに対して、MPEGオーディオの復号処理を行うことによって、圧縮された音声信号が伸長され、音声信号のPCMデータが復元される。

D/Aコンバータ(DAC)60は、DSP50によって復元されたPCMデータをアナログ信号に変換し、音声信号を出力する。

【0016】

COLTブロック70は、シンボルデータ取得回路、タイムベース回路、及び相関演算回路によって構成されている。

シンボルデータ取得回路は、DAFCブロック20から出力されるIQデータをもとに、シンボルデータを取得する。

タイムベース回路は、ローカルタイムカウンタを設けて、当該タイムカウンタによって、DSP50に一定の時間間隔で基本割り込み信号を供給し、さらに、FFTブロック30にフレームの先頭を知らせるフレーム同期信号を供給する。

相関演算回路は、IQデータそれぞれにおけるガードバンドのデータと有効シンボルとの相関値を計算し、さらにガードバンドの長さ分の移動平均ベクトルとそのスカラー値を算出する。このガードバンドの移動平均値のスカラー値に基づいて、ヌルシンボルの該当する位置が検出され、これに応じて、タイムベース回路のローカルタイムカウンタのリセットが制御される。

【0017】

FCGブロック80は、他のブロックにクロック信号を供給する。上述したように、FCGブロック80は、外部に設けられている外部発振器200によって発生された基準クロックRCKに応じて、所定の周波数を持つ第1のクロック信号CK1を生成し、A/Dコンバータ10、DAFCブロック20、FFTブロック30、及びピタビ復号ブロック40に供給する。外部発振器200は安定した発振周波数で発振し、基準クロックRCKを提供するので、第1のクロック信号CK1は、安定した発振周波数を持つ。

【0018】

本発明では、外部発振器200は、固定の発振周波数で基準クロックRCKを供給するため、FCGブロック80によって生成されたクロック信号CK1と受信した放送信号が完全に同期しない。このため、同期のずれによって時間軸上オフセットが発生する。このため、本発明のクロック供給回路において、同期のずれによる時間軸上のオフセット量に従って、基準クロックRCKが異なる通倍率

で生成された周波数の異なる複数のクロック信号を切り替えることによって、同期のずれを補正し、周波数固定の外部発振器でも受信信号との同期を維持することが可能である。

#### 【0019】

FCGブロック80によって生成されたクロック信号CK2の周波数は、DSPブロック50の処理負荷に応じて周波数が可変に制御される。即ち、FCGブロック80によって、A/Dコンバータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に所定の周波数のクロック信号CK1を供給でき、また、DSPブロック50に、その処理負荷に応じて周波数が制御されるクロック信号CK2を供給できる。

#### 【0020】

MI Fブロック90は、ローカルバスの入出力を制御する。

PIOブロック100は、フロントエンドまたは他の外部回路に制御信号を出力し、フロントエンドまたは他の外部回路からの制御信号をLSIに入力するインターフェースとしての役割を果たす。

#### 【0021】

テスト回路110は、通常モードとテストモードの二つの動作状態を有する。テストモードのとき、テスト回路110は、DAFCブロック20、FFTブロック30、ビタビ復号ブロック40、及びDSPブロック50の出力信号のうち、何れかを選択して外部に出力する。また、テスト回路110は、外部からのテスト信号をこれらの内部ブロックの何れかに入力する。通常モードのとき、テスト回路110の入出力端子がすべて固定のレベルに保持され、またはハイインピーダンス状態に保持される。

#### 【0022】

以下、図面を参照しつつ、本発明に係るクロック供給回路の二つの構成例について詳しく説明する。

#### クロック供給回路の第1の構成例

図2は、本発明のクロック供給回路の第1の構成例を示すブロック図である。図示のように、このクロック供給回路80aは、通倍回路120、分周回路13

0、及びクロック切り替え回路140によって構成されている。なお、上述したように、本発明のクロック供給回路80aは、図1に示すDAB受信用LSIのFCGブロック80の一部を構成している。

#### 【0023】

外部発振器200は、所定の周波数を持つ基準クロックRCKを発生する。なお、本発明では、外部発振器200に高い精度を要求せず、通常の水晶体振器(XO)を用いても十分である。

切り替え制御回路210は、COLTブロック70の内部に設けられている回路である。切り替え制御回路210は、COLTブロック70において検出された時間軸上のオフセット量に応じて、切り替え制御信号 $S_C$ を生成し、クロック切り替え回路140に出力する。

#### 【0024】

以下、クロック供給回路80aの各部分について説明する。

通倍回路120は、例えば、PLL回路によって構成されている。通倍回路120は、外部発振器200から入力される基準クロックRCKを所定の通倍比で通倍し、高い周波数を持つクロック信号CLKを生成する。ここで、例えば、基準クロックRCKの周波数 $f_0$ を24.576MHzとして、通倍回路120の通倍比Nを4とすると、クロック信号CLKの周波数 $f_1$ は、 $f_0 \times N = 98.304\text{MHz}$ となる。

#### 【0025】

分周回路130は、クロック信号CLKをそれぞれ異なる分周比で分周し、異なる周波数を持つ複数の分周クロック信号を生成する。ここで、例えば、分周回路130は、三つの分周器から構成され、これらの分周器はそれぞれ分周比 $n_1$ 、 $n_2$ 及び $n_3$ でクロック信号CLKを分周し、三つの分周クロック信号CKD1、CKD2及びCKD3を出力する。例えば、 $n_1 = 3$ 、 $n_2 = 4$ 及び $n_3 = 5$ とすると、分周クロック信号CKD1、CKD2及びCKD3の周波数は、それぞれ32.768MHz、24.576MHz及び19.660MHzとなる。

#### 【0026】

クロック切り替え回路 140 は、切り替え制御信号  $S_C$  に応じて、三つの分周クロック信号 CKD1, CKD2 及び CKD3 から一つを選択して出力する。クロック切り替え回路 140 によって選択されたクロック信号 CK1 が、図 1 に示すように、受信用 LSI の DAFC ブロック 20、FFT ブロック 30、及びビタビ復号ブロック 40 に供給される。これらのブロックにおいて、クロック信号 CK1 によって設定されたタイミングで受信信号が処理される。例えば、FFT ブロック 30 において、クロック信号 CK1 のタイミングで受信信号の I 成分と Q 成分に対して FFT 処理が行われ、受信信号が OFDM 復調される。さらに、ビタビ復号ブロック 40 において、クロック信号 CK1 のタイミングでビタビ復号処理が行われる。クロック信号 CK1 と受信信号とは完全に同期しないので、時間軸上にオフセットが生じる。

次に、時間軸上のオフセット量の検出方法について説明する。

#### 【0027】

時間軸上のオフセットは、LSI 内部の COLT ブロック 70 によって検出される。上述したように、COLT ブロック 70 は、シンボルデータ取得回路、タイムベース回路、及び相関演算回路によって構成されている。相関演算回路は、受信信号にある同期用シンボル (TFRP シンボル) とリファレンスシンボルとの相関演算を行い、周波数軸及び時間軸上のオフセット量を計算する。以下、DAB 放送信号のフレームの構成を参照しつつ、オフセット量の演算方法について説明する。

#### 【0028】

DAB 放送信号は、フレーム単位で送信される。図 3 は、DAB 放送信号のフレームの一構成例を示している。図示のように、DAB 放送信号のフレームは、データを含まないヌルシンボル (NULL)、同期用 TFRP シンボル及び情報データ (Contents Data) を含むデータシンボルによって構成されている。

ヌルシンボルは、各フレームの先頭に配置され、通常受信側ではフレームの先頭を探すに用いられる。

同期シンボルは、ヌルシンボルの直後に配置されている。同期シンボルは、例

えば、DAB放送の信号規格によって決められたデータ列によって構成されている。このデータ列は、所定のパターンを持ち、好ましくは、相関処理によって鋭いピークが現れるなどの特徴を有する。DAB受信機は、リファレンスシンボルとして、同期シンボルと同じパターンを持つデータ列を予め記憶されている。DAB放送信号を受信するとき、COLTブロックにおいて、このリファレンスシンボルを用いて、同期のずれ、即ち、時間軸上のオフセット量を検出する。

## 【 0 0 2 9 】

図4は、オフセットの検出過程におけるヌルシンボル及び同期シンボルのデータの流れを示す図である。以下、図4を参照しつつ、オフセット検出について説明する。

図4に示すように、A/Dコンバータ10によって量子化された受信データ $D_{in}$ がDAFCブロック20によって直交分離され、IデータとQデータが得られる。COLTブロック70は、Iデータ及びQデータに応じて、まず、ヌルシンボルを検出し、フレームの先頭を見つける。ヌルシンボルを検出したとき、FFTブロック30によってOFDM復調された復調データ（IデータとQデータ両方を含む）から、同期シンボルTFPRを取り出す。そして、この同期シンボルとリファレンスシンボルRSYNとの相関演算を行う。

## 【 0 0 3 0 】

図1に示すように、DAFCブロック20、FFTブロック30、ビタビ復号ブロック40、及びCOLTブロック70は、クロック供給回路（FCGブロック80）によって供給されたクロック信号CK1で動作する。このため、クロック信号CK1と受信信号が完全に同期している場合、FFTブロック30から出力された同期シンボルTFPRが正確に復元されるので、リファレンスシンボルとの相関演算処理によって、所望の相関値が得られる。一方、クロック信号CK1と受信信号との同期がずれている場合、リファレンスシンボルとの相関演算の結果、所望の相関値と異なる値が算出される。同期ずれの量、即ち、時間軸上のオフセット量に応じて、相関値がそれぞれ異なるので、算出された相関値に応じて時間軸上のオフセット量を推定できる。

## 【 0 0 3 1 】

COLTブロック70において、切り替え制御回路210によって、推定されたオフセット量に応じて、切り替え制御信号 $S_C$ が生成され、クロック切り替え回路140に出力される。例えば、時間軸上のオフセットの検出結果に応じて、受信信号の処理タイミングがDAB放送信号より遅れている場合、切り替え制御回路210は、クロック信号CK1の周波数を高い方に切り替える切り替え制御信号 $S_C$ を出力し、一方、オフセットの検出結果に応じて、受信信号の処理タイミングがDAB放送信号より進んでいる場合、切り替え制御回路210は、クロック信号CK1の周波数を低い方に切り替える切り替え制御信号 $S_C$ を出力する。なお、オフセット検出結果に応じて、受信タイミングがDAB放送信号と同期している場合、切り替え制御回路210は、現在のクロック信号CK1の周波数を維持する制御信号 $S_C$ を出力する。

#### 【0032】

クロック切り替え回路140は、切り替え制御信号 $S_C$ に応じて、分周回路130によって出力された三つのクロック信号CKD1, CKD2, CKD3の何れかを選択して出力する。上述したように、例えば、クロック信号CKD1, CKD2, CKD3の周波数をそれぞれ32.768MHz, 24.576MHz及び19.660MHzとすると、例えば、クロック切り替え回路140によってクロック信号CKD2を出力している間、切り替え制御回路210から、クロック周波数を高い方に切り替える制御信号 $S_C$ を受けた場合、クロック切り替え回路140は、クロック信号CKD1を選択して出力する。逆に、クロック切り替え回路140によってクロック信号CKD2を出力している間、切り替え制御回路210から、クロック周波数を低い方に切り替える制御信号 $S_C$ を受けた場合、クロック切り替え回路140は、クロック信号CKD3を選択して出力する。

#### 【0033】

クロック切り替え回路140において、クロック信号の切り替えは、位相の揃っているときに行われることによって、切り替え時タイミングのずれを防止でき、切り替えによるクロックタイミングの破綻を防ぐことができる。例えば、クロック切り替え回路140によって、クロック信号CKD2とCKD1との切り替

えが行われるとき、クロック信号CKD2とCKD1の位相が揃っているときにクロック信号CKD1からCKD2、またはクロック信号CKD2からCKD1への切り替えが行われる。同じように、クロック信号CKD2とCKD3との切り替えが行われるとき、クロック信号CKD2とCKD3の位相が揃っているときにクロック信号CKD2からCKD3、またはクロック信号CKD3からCKD2への切り替えが行われる。

## 【0034】

クロック供給回路の第2の構成例

図5は、本発明のクロック供給回路の第2の構成例を示すブロック図である。図示のように、本例のクロック供給回路80bは、通倍回路120、カウンタ150、デコーダ160、マルチプレクサ170、及びバッファ180によって構成されている。

## 【0035】

通倍回路120は、例えば、PLL回路によって構成され、外部発振器200から供給された基準クロックCLKを所定の通倍率で通倍し、通倍クロック信号CLKを出力する。

カウンタ150は、クロック信号CLKをカウントし、カウント値CNTをデコーダ160に出力する。

デコーダ160は、カウンタ150からのカウント値CNTに応じて、例えば、三つのクロックイネーブル信号EN1, EN2, EN3を出力する。

## 【0036】

マルチプレクサ170は、切り替え制御回路210から出力される切り替え制御信号 $S_C$ に応じて、デコーダ160によって入力された三つのクロックイネーブル信号EN1, EN2, EN3から一つを選択して、バッファ180に出力する。

バッファ180は、マルチプレクサ170から出力されたクロックイネーブル信号ENに応じて、通倍回路120によって出力されたクロック信号CLKを所定のタイミングで出力する。

## 【0037】



以下、本例のクロック供給回路の動作について説明する。

外部発振器 2 0 0 及び切り替え制御回路 2 1 0 は、図 2 に示したクロック供給回路の第 1 の構成例の外部発振器 2 0 0 及び切り替え制御回路 2 1 0 と同じ構成を有する。

#### 【 0 0 3 8 】

クロック供給回路 8 0 b において、通倍回路 1 2 0 は、外部発振器 2 0 0 によって供給される基準クロック R C K を所定の通倍比で通倍し、通倍クロック信号 C L K を出力する。例えば、外部発振器 2 0 0 によって、2 4 . 5 7 6 M H z の基準クロック R C K が供給された場合、通倍回路 1 2 0 は、通倍比 4 で基準クロック R C K を通倍し、周波数 9 8 . 3 0 4 M H z の通倍クロック信号 C L K を生成する。クロック信号 C L K は、カウンタ 1 5 0 及びバッファ 1 8 0 にそれぞれ供給される。

#### 【 0 0 3 9 】

カウンタ 1 5 0 によって、入力されるクロック信号 C L K がカウントされ、カウント値 C N T が出力される。

デコーダ 1 6 0 は、カウンタ 1 5 0 から入力されたカウント値 C N T に応じて、三つのクロックイネーブル信号 E N 1 , E N 2 , E N 3 を出力する。

#### 【 0 0 4 0 】

図 6 は、通倍回路 1 2 0 によって生成されたクロック信号 C L K 及びデコーダ 1 6 0 によって生成された三つのクロックイネーブル信号 E N 1 , E N 2 , E N 3 の波形を示す波形図である。

図示のように、クロックイネーブル信号 E N 1 , E N 2 及び E N 3 は、それぞれクロック信号 C L K に対して、3 分周、4 分周または 5 分周した分周クロックである。

#### 【 0 0 4 1 】

クロックイネーブル信号 E N 1 , E N 2 及び E N 3 はマルチプレクサ 1 7 0 に入力される。マルチプレクサ 1 7 0 において、切り替え制御回路 2 1 0 によって出力された切り替え制御信号 S<sub>C</sub> に応じて、三つのクロックイネーブル信号から一つが選択され、イネーブル信号 E N として出力される。

例えば、マルチプレクサによってクロックイネーブル信号  $EN2$  が出力されているとき、受信信号の処理タイミングが  $DAB$  放送信号より遅れている場合、切り替え制御信号  $S_C$  に応じて、クロックイネーブル信号  $EN2$  より周波数の高いクロックイネーブル信号  $EN1$  が出力される。逆に、受信信号の処理タイミングが  $DAB$  放送信号より進んでいる場合、切り替え制御信号  $S_C$  に応じて、クロックイネーブル信号  $EN2$  より周波数が低いクロックイネーブル信号  $EN3$  が出力される。

## 【 0 0 4 2 】

マルチプレクサ 170 において、クロックイネーブル信号の切り替えのタイミングは、カウンタ 150 のカウント値  $CNT$  に応じて制御することによって、切り替えによるクロックタイミングの破綻を来すことなく、切り替えを行うことができる。例えば、カウンタ 150 のカウント値  $CNT$  が 0 にリセットされたタイミングで切り替えを行うことによって、切り替えのときクロックイネーブル信号  $EN1$ 、 $EN2$  及び  $EN3$  の位相が揃っており、切り替えによる出力クロック信号  $CKD1$  の周期の変化がスムーズに行われる。

## 【 0 0 4 3 】

マルチプレクサ 170 によって出力されたクロックイネーブル信号  $EN$  がバッファ 180 に入力される。バッファ 180 によって、クロックイネーブル信号  $EN$  のタイミングでクロック信号  $CLK$  を外部に出力する。なお、バッファ 180 から出力されるクロック信号  $CKD1$  は、 $DAB$  受信用  $LSI$  の  $DAFC$  ブロック 20、 $FFT$  ブロック 30、ピタビ復号ブロック 40、及び  $COLT$  ブロック 70 に供給される。

## 【 0 0 4 4 】

このように、本例のクロック供給回路 80b において、切り替え制御回路 210 からの切り替え制御信号  $S_C$  に応じて、 $DAB$  放送信号との同期を保つように、 $DAB$  受信用  $LSI$  の受信用ブロックに供給されるクロック信号  $CK1$  の周波数の切り替えが行われる。これによって、安価な外部発振器を使用しても、 $DAB$  放送信号との同期を保つことができ、受信装置の低コスト化、小型化を実現できる。

【 0 0 4 5 】

## 【発明の効果】

以上説明したように、本発明のクロック供給回路及びそのクロック生成方法によれば、基準クロックを提供する外部発振器として、電圧制御水晶発振器などの高価な発振器を使用する必要がなく、固定の発振周波数を持つ安価な水晶発振器を用いて、分周比を制御することによってDAB放送信号との同期を保つことができ、DAB受信装置の小型化、低コスト化を実現できる。

また、本発明のクロック供給回路において、外部発振器によって提供された基準クロックが通倍回路によって十分高い周波数まで通倍したクロック信号を用いて、分周比の制御によってDAB受信用クロック信号を生成するので、クロックの切り替えに伴う変動幅が小さく、再生信号の音質への影響を必要最小限に抑制できる。

さらに、本発明によれば、基準クロックを固定周波数の発振器で生成することができ、例えば、RF部のPLL回路の基準クロックを共通に利用でき、DAB受信装置の発振器の数を低減でき、回路構成の簡略化、受信装置の小型化、低消費電力化を実現できる利点がある。

## 【図面の簡単な説明】

## 【図1】

本発明に係るDAB受信用LSIの一構成例を示すブロック図である。

## 【図2】

本発明のクロック供給回路の第1の構成例を示す回路図である。

## 【図3】

DAB放送信号のフレームの構成を示す図である。

## 【図4】

時間軸上のオフセット量を検出するための部分回路及び信号の流れを示すブロック図である。

## 【図5】

本発明のクロック供給回路の第2の構成例を示す回路図である。

## 【図6】

基準クロックを逡倍した高周波クロック信号及びクロックイネーブル信号の波形を示す波形図である。

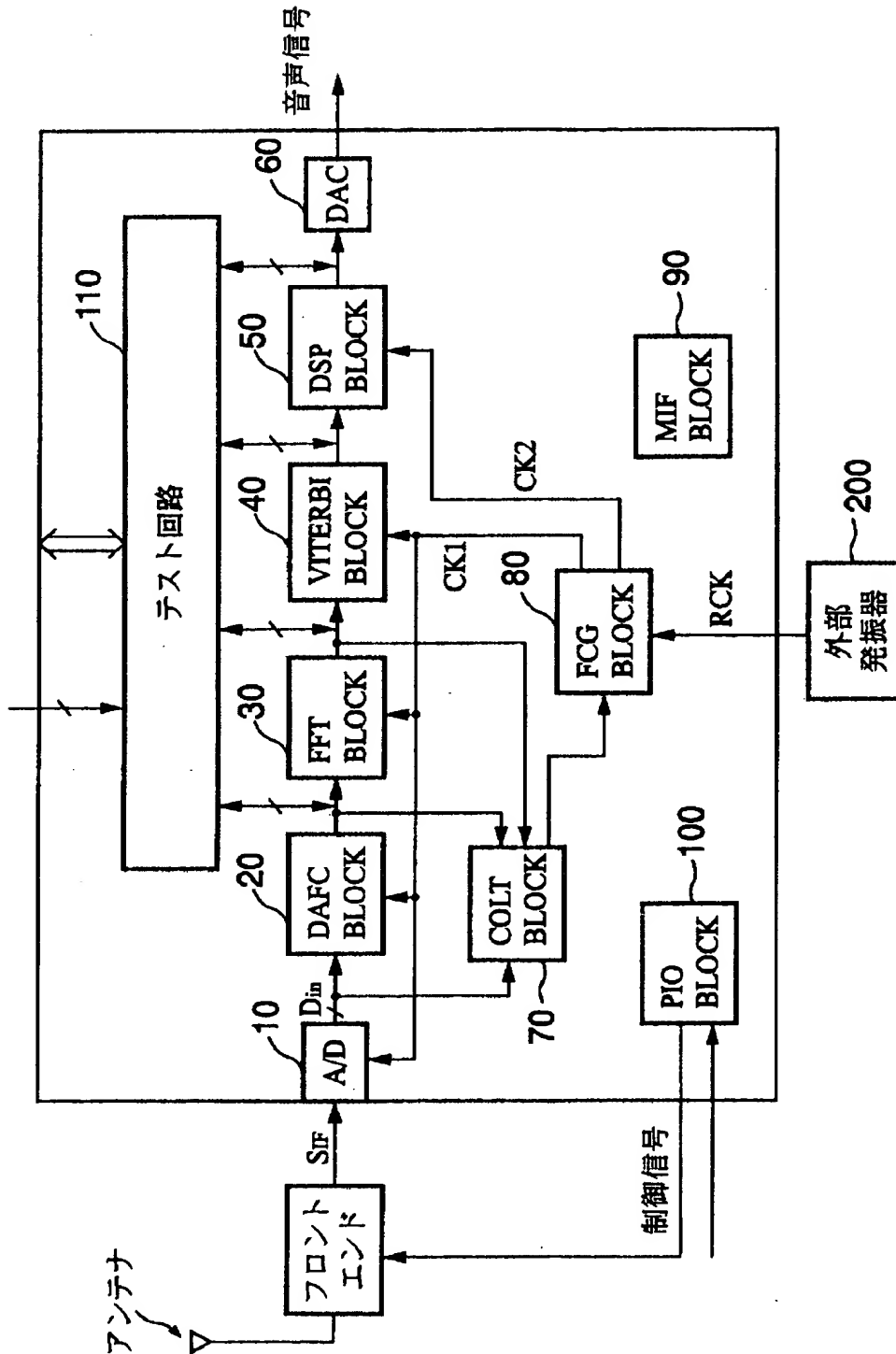
【符号の説明】

1 0 … A / D コンバータ、 2 0 … D A F C ブロック、 3 0 … F F T ブロック、 4 0 … ビタビ復号ブロック、 5 0 … D S P ブロック、 6 0 … D A C、 7 0 … C O L T ブロック、 8 0 … F C G ブロック、 8 0 a, 8 0 b … クロック供給回路、 9 0 … M I F ブロック、 1 0 0 … P I O ブロック、 1 1 0 … テスト回路、 1 2 0 … 逡倍回路、 1 3 0 … 分周回路、 1 4 0 … クロック切り替え回路、 1 5 0 … カウンタ、 1 6 0 … デコーダ、 1 7 0 … マルチプレクサ、 1 8 0 … バッファ、 2 0 0 … 外部発振器、 2 1 0 … 切り替え制御回路。

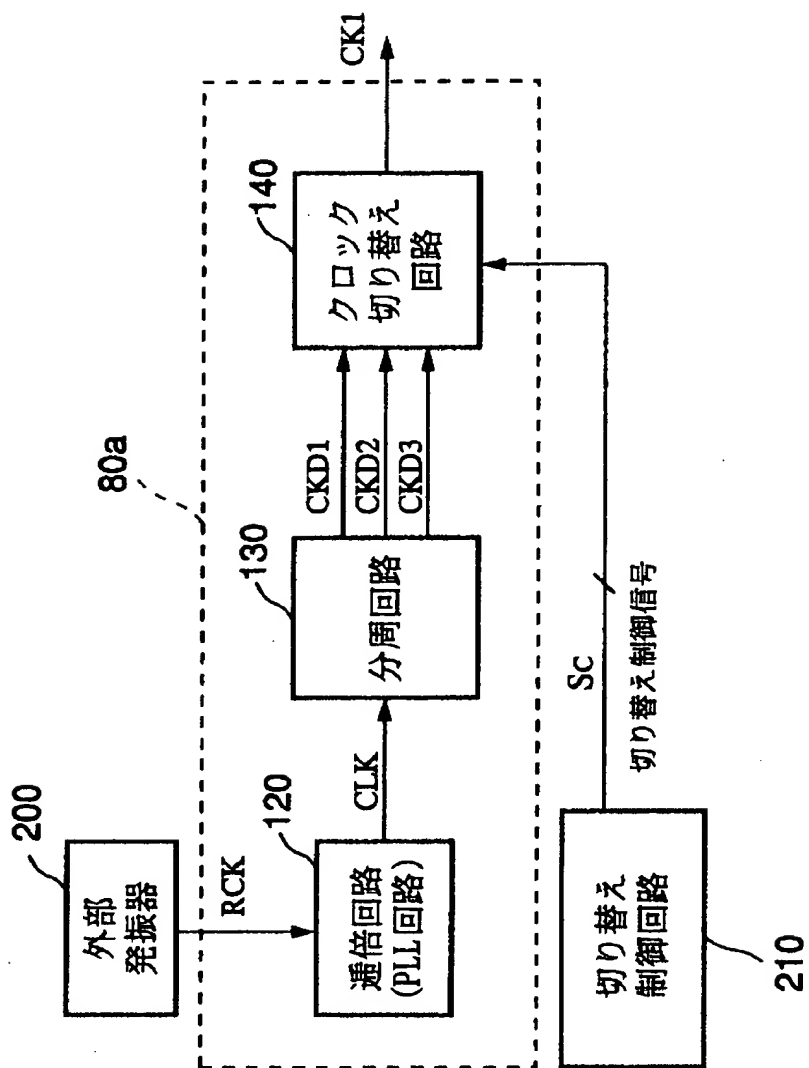
【書類名】

図面

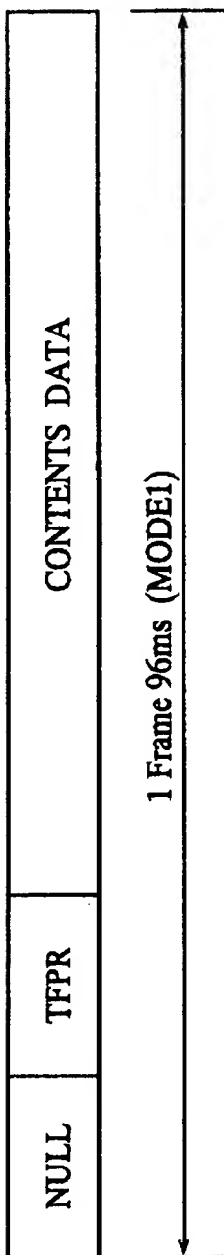
【図 1】



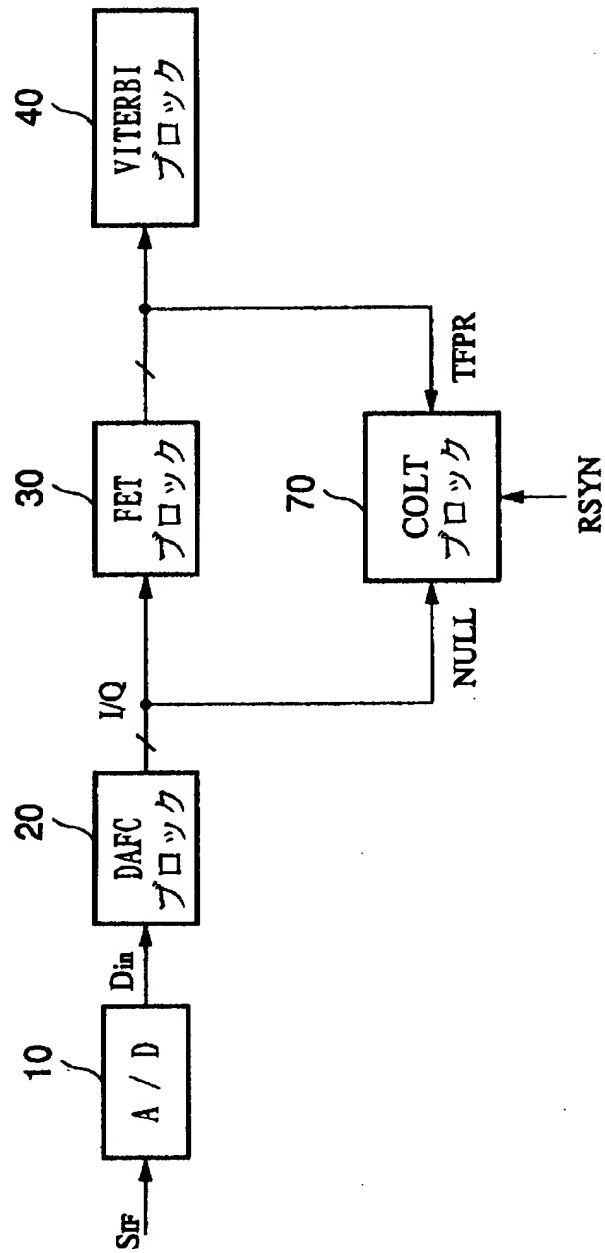
【図 2】



【図 3】

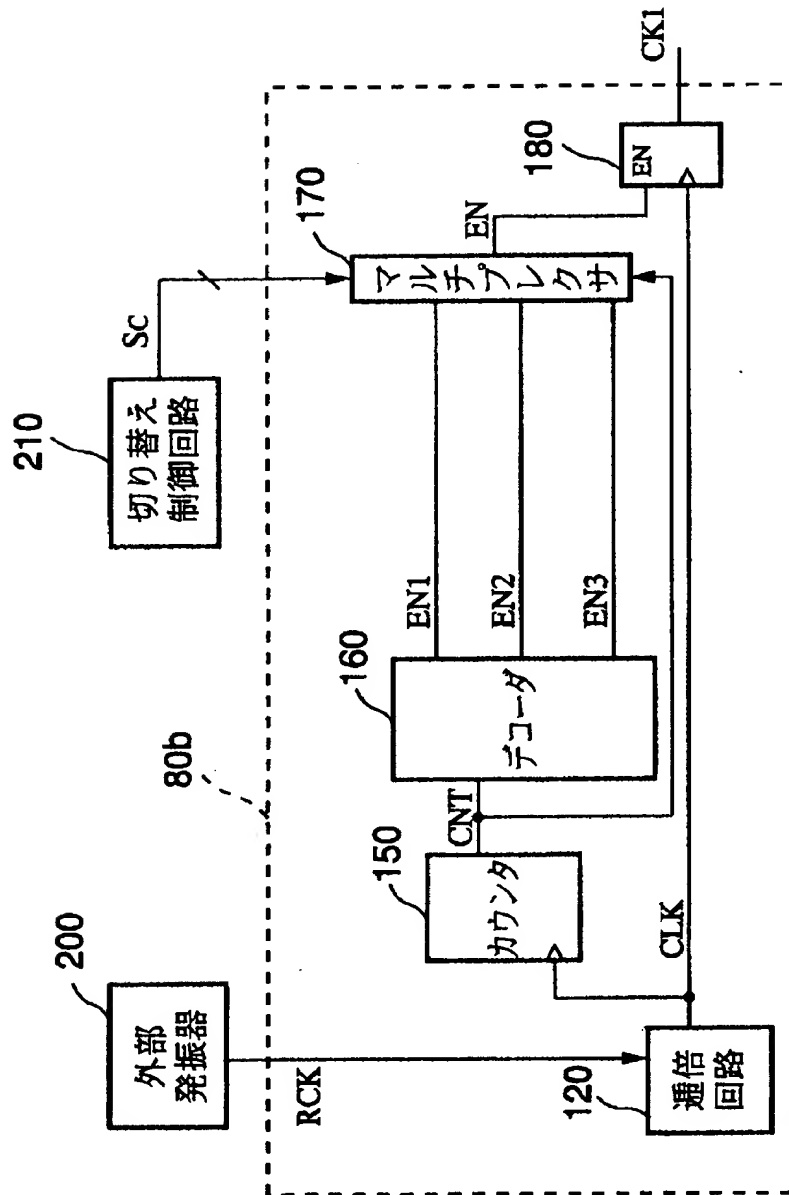


【図4】

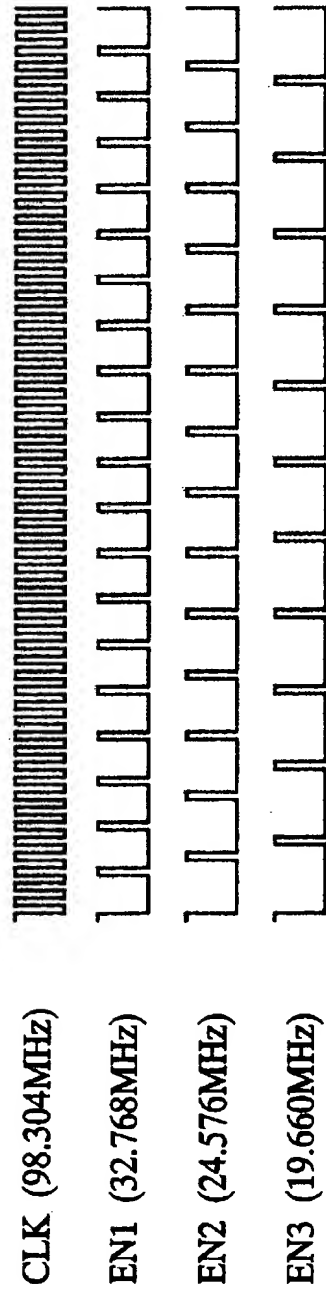




【図5】



【図 6】



【書類名】 要約書

【要約】

【課題】 デジタル放送受信機において、固定の周波数を持つ発振器の出力を逡倍した高周波のクロック信号を異なる分周比で分周し、同期ずれの量に応じて分周信号を切り替えてクロック信号を生成することで同期を保持でき、回路規模を小さくでき、コストの低減を実現できるクロック供給回路を実現する。

【解決手段】 外部発振器200 によって所定の周波数を持つ基準クロック R C K を生成し、逡倍回路120 によって高周波の逡倍クロック信号 C L K を生成し、分周回路130 でそれぞれ異なる分周比で分周信号CKD1,CKD2 及びCKD3を生成し、切り替え制御回路210 によって、受信信号の処理タイミングと D A B 受信信号との同期のずれに応じて切り替え制御信号  $S_C$  を生成し、クロック切り替え回路140 によって、制御信号  $S_C$  に応じて分周信号CKD1,CKD2 またはCKD3の何れかを選択して出力する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社